

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-068971

(43)Date of publication of application : 10.03.1998

(51)Int.Cl.

G02F 1/136  
G02F 1/1343

(21)Application number : 09-150494

(71)Applicant : LG ELECTRON INC

(22)Date of filing : 23.05.1997

(72)Inventor :  
LYU KI-HYUN  
LIM KYOUNG-NAM  
KAN SHOKYOKU  
KIM JEONG-HYUN  
AN BYUNG-CHUL

(30)Priority

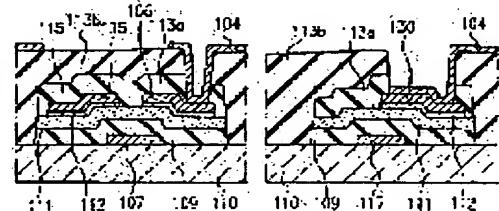
Priority number : 96 9617813 Priority date : 23.05.1996 Priority country : KR

## (54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION OF ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to produce an active matrix liquid crystal display device in min. pattern stages by including a stage, etc., for selectively removing first and second protective layers and forming pixel electrodes which come into contact with drain electrodes through contact holes.

**SOLUTION:** The second protective layer 113b and the first protective layer 113a are etched according to the developed patterns of a photoresist to form the contact holes to exposed the drain electrodes 106 and holding capacitor electrodes 130. In succession, an ITO film is formed to coat over the entire surface inclusive of the second and first protective layers 113b, 113a, the drain electrodes 106 and the holding capacitor electrodes 130 by a sputtering method. The photoresist is applied on the ITO layer. The photoresist is exposed by using a mask so as to have the prescribed patterns and is then developed. The ITO film is etched according to the developed patterns, by which the pixel electrodes 104 to be brought into electrical contact with a part of the holding capacitor electrodes 130 and a part of the drain electrodes 106 are formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

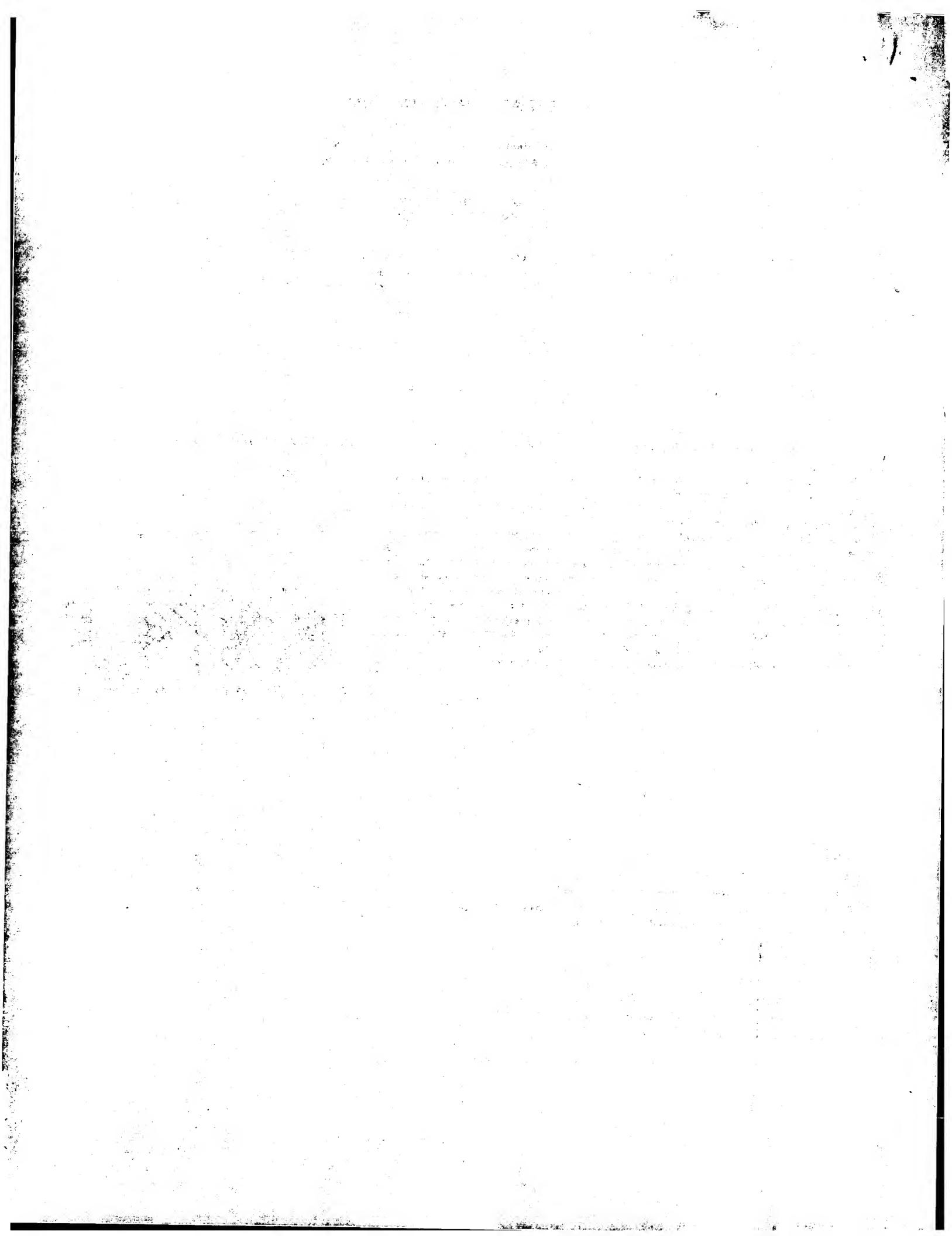
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-68971

(43)公開日 平成10年(1998)3月10日

(51)Int.Cl.\*

G 0 2 F 1/136  
1/1343

識別記号

5 0 0

序内整理番号

F I

G 0 2 F 1/136  
1/1343

技術表示箇所

5 0 0

審査請求 未請求 請求項の数29 FD (全 10 頁)

(21)出願番号

特願平9-150494

(22)出願日

平成9年(1997)5月23日

(31)優先権主張番号 1996-17813

(32)優先日 1996年5月23日

(33)優先権主張国 韓国 (KR)

(71)出願人 590001669

エルジー電子株式会社

大韓民国, ソウル特別市永登浦区汝矣島洞  
20

(72)発明者 柳 基鉉

大韓民国京機道安養市東安区虎溪洞533番  
地 エルジー電子株式会社第1研究団地L  
CD研究所内

(72)発明者 林 京男

大韓民国京機道安養市東安区虎溪洞533番  
地 エルジー電子株式会社第1研究団地L  
CD研究所内

(74)代理人 弁理士 渡邊 勇 (外2名)

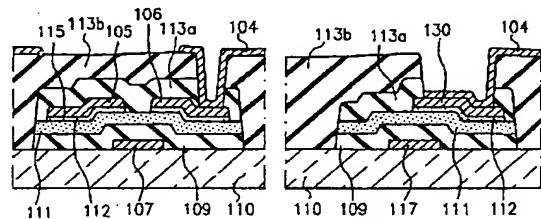
最終頁に続く

(54)【発明の名称】 アクティブマトリクス液晶表示装置及びアクティブマトリクス液晶表示装置の製造方法

(57)【要約】

【課題】 マスクプロセスの回数を低減することができるアクティブマトリクス液晶表示装置を製作するための方法を提供する。

【解決手段】 アクティブマトリクス液晶表示装置の製造方法において、基板110上にゲートバス配線117とゲート電極107を形成し、ゲートバス配線、ゲート電極及び基板の上にゲート絶縁層109を形成し、ゲート絶縁層上に半導体層111を形成し、半導体層上にオーミック接触層112を形成し、オーミック接触層上にソースバス配線115、ソース電極105及びドレイン電極106を形成し、ソース電極、ドレイン電極をエッティングマスクとしてオーミック接触層をエッティングし、ソースバス配線、ドレイン電極、ソース電極及び半導体層上に第1保護層113aを形成し、第1保護層、半導体層及びゲート絶縁層を選択的に除去し、基板の上に第2保護層113bを形成し、ドレイン電極を露出させるコンタクトホールを形成するためには、第1保護層及び第2保護層を選択的に除去し、コンタクトホールを通してドレイン電極と接触する画素電極を形成する段階を含む。



## 【特許請求の範囲】

【請求項1】アクティブマトリクス液晶表示装置の製造方法において、  
基板上にゲートバス配線とゲート電極を形成し、  
前記ゲートバス配線、前記ゲート電極及び前記基板の上にゲート絶縁層を形成し、  
前記ゲート絶縁層上に半導体層を形成し、  
前記半導体層上にオーミック接触層を形成し、  
前記オーミック接触層上にソースバス配線、ソース電極及びドレイン電極を形成し、  
前記ソース電極、前記ドレイン電極をエッティングマスクとしてオーミック接触層をエッティングし、  
前記ソースバス配線、前記ドレイン電極、ソース電極及び前記半導体層上に第1保護層を形成し、  
前記第1保護層、前記半導体層及び前記ゲート絶縁層を選択的に除去し、  
前記基板の上に第2保護層を形成し、  
前記ドレイン電極を露出させるコンタクトホールを形成するために、前記第1保護層及び第2保護層を選択的に除去し、  
前記コンタクトホールを通して前記ドレイン電極と接触する画素電極を形成する段階を含むことを特徴とする、アクティブマトリクス液晶表示装置の製造方法。

【請求項2】前記ゲート電極を形成する段階、前記半導体層を形成する段階、前記オーミック接触層を形成する段階及び前記ソースバス配線、前記ソース電極及びドレイン電極を形成する段階において、  
前記ゲート絶縁層のための物質、前記半導体層のための物質、前記オーミック接触のための物質、前記ソースバス配線、前記ソース電極及び前記ドレイン電極のための物質を連続的に被着することを特徴とする、請求項1記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項3】前記ソースバス配線、前記ソース電極及び前記ドレイン電極を形成する段階において、  
前記オーミック接触層上に保持容量部の保持容量電極を形成することを特徴とする、請求項2記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項4】前記第2保護層を形成する段階において、  
有機物質で前記第2保護層を形成し、  
又、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated paraffine)、テフロン(登録商標)(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項1記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項5】前記画素電極を形成する段階において、  
前記第2保護層上に前記画素電極を形成することを特徴とする、請求項1記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項6】第2保護層を形成する段階において、  
前記第2保護層として大体に平面の保護層を形成することを特徴とする、請求項5記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項7】前記第2保護層を形成する段階において、  
有機物質で前記第2保護層を形成し、  
又、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated paraffine)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項6記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項8】第2保護層を形成する前記段階において、  
前記第2保護層として大体に平面の保護層を形成することを特徴とする、請求項1記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項9】前記第2保護層を形成する段階において、  
有機物質で前記第2保護層を形成し、  
又、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated paraffine)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項8記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項10】アクティブマトリクス液晶表示装置の製造方法において、  
基板の上にゲートバス配線とゲート電極を形成し、

前記ゲートバス配線、前記ゲート電極及び前記基板上にゲート絶縁層を形成し、  
前記ゲート絶縁層上に半導体層を形成し、  
前記半導体層上にオーミック接触層を形成し、  
前記オーミック接触層上にソースバス配線、ソース電極及びドレイン電極を形成し、  
前記ソース電極、前記ドレイン電極をエッティングマスクとしてオーミック接触層をエッティングし、  
前記ソースバス配線、前記ドレイン電極、ソース電極及び前記半導体層上に保護層を形成し、  
前記ドレイン電極を露出させるコンタクトホールを形成するために前記保護層を選択的に除去し、  
前記保護層上に、前記コンタクトホールを通して前記ドレイン電極と接触するように画素電極を形成する段階を含むことを特徴とする、アクティブマトリクス液晶表示装置の製造方法。

【請求項11】前記保護層を形成する前記段階において、  
前記保護層として大体に平面の保護層を形成することを特徴とする、請求項10記載の液晶表示装置の製造方法。

【請求項12】前記保護層は、有機物質を含み、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項11記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項13】前記保護層は、有機物質を含み、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項10記載のアクティブマトリクス液晶表示装置の製造方法。

【請求項14】アクティブマトリクス液晶表示装置の製造方法において、

基板上にゲートバス配線及びゲート電極を形成し、前記ゲートバス配線、前記ゲート電極及び前記基板の上にゲート絶縁層を形成し、前記ゲート絶縁層上に半導体層を形成し、前記半導体層上にオーミック接触層を形成し、前記ソース電極、前記ドレイン電極をエッチングマスクとして前記オーミック接触層をエッチングし、前記ソースバス配線、前記ドレイン電極、前記ソース電極、前記半導体層及び前記基板の上に大体に平面の保護層を形成し、前記ドレイン電極を露出させるコンタクトホールを形成するために前記保護層を選択的に除去し、前記コンタクトホールを通して前記ドレイン電極と接触する画素電極を形成する段階を含むことを特徴とする、アクティブマトリクス液晶表示装置の製造方法。

【請求項15】基板と、

前記基板上に形成されたゲートバス配線及びゲート電極と、前記基板、前記ゲートバス配線及び前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層と、前記半導体層上に形成されたオーミック接触層と、前記オーミック接触層上に形成されたソースバス配線、ソース電極及びドレイン電極と、前記半導体層、前記ソースバス配線、前記ソース電極及び前記ドレイン電極を覆う第1保護層と、前記第1保護層と前記基板とを覆う第2保護層と、又前記第1、第2保護層は、前記ドレイン電極を露出するために形成されたコンタクトホールを有し、前記コンタクトホールを通して少なくとも前記ドレイン電極上に形成された画素電極と、から構成されることを特徴とする、アクティブマトリク

ス液晶表示装置。

【請求項16】前記オーミック接触層上に保持容量部の保持電極とが加えて構成され、

又、該保持容量電極上に前記画素電極が重疊され構成されることを特徴とする、請求項15記載のアクティブマトリクス液晶表示装置。

【請求項17】前記第2保護層は、有機物質であり、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項15記載のアクティブマトリクス液晶表示装置。

【請求項18】前記画素電極は、前記第2保護層上まで延ばして形成されたことを特徴とする、請求項15記載のアクティブマトリクス液晶表示装置。

【請求項19】前記第2保護層は、大体に平面であることを特徴とする、請求項18記載のアクティブマトリクス液晶表示装置。

【請求項20】前記第2保護層は、有機物質であり、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項19記載のアクティブマトリクス液晶表示装置。

【請求項21】前記第2保護層は、大体に平面であることを特徴とする、請求項15記載のアクティブマトリクス液晶表示装置。

【請求項22】前記第2保護層は、有機物質であり、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)中の少なくとも一つを含むことを特徴とする、請求項21記載のアクティブマトリクス液晶表示装置。

【請求項23】基板と、

前記基板上に形成されたゲートバス配線、ゲート電極と、前記基板、前記ゲートバス配線及び前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層と、前記半導体層上に形成されたオーミック接触層と、前記オーミック接触層上に形成されたソースバス配線、ソース電極及びドレイン電極と、前記半導体層、前記ソースバス配線、前記ソース電極及びドレイン電極を覆う保護層と、又、前記保護層は、前

記ドレイン電極を露出するために形成されたコンタクトホールを有し、  
前記ドレイン電極と前記保護層上に形成された画素電極と、  
から構成されることを特徴とする、アクティブマトリクス液晶表示装置。

【請求項24】前記保護層は、大体に平面であることを特徴とする、請求項23記載のアクティブマトリクス液晶表示装置。

【請求項25】前記保護層は、有機物質を含み、又、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(PCB)中の少なくとも一つを含むことを特徴とする、請求項24記載のアクティブマトリクス液晶表示装置。

【請求項26】前記保護層は、有機物質を含み、前記有機物質は、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(PCB)中の少なくとも一つを含むことを特徴とする、請求項23記載のアクティブマトリクス液晶表示装置。

【請求項27】前記オーミック接触層上に保持容量部の保持電極が加えて構成され、又、該保持電極上に前記画素電極が重疊され構成されることを特徴とする、請求項23記載のアクティブマトリクス液晶表示装置。

【請求項28】基板と、前記基板上に形成されたゲートバス配線及びゲート電極と、

前記基板、前記ゲートバス配線及び前記ゲート電極上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に形成された半導体層と、

前記半導体層上に形成されたオーミック接触層と、

前記オーミック接触層上に形成されたソースバス配線、ソース電極及びドレイン電極と、

前記半導体層、前記ソースバス配線、前記ソース電極及び前記ドレイン電極を覆う大体に平面の保護層と、又前記保護層は、前記ドレイン電極を露出するために形成されたコンタクトホールを有し、

前記コンタクトホールを通して少なくとも前記ドレイン電極上に形成された画素電極と、から構成されることを特徴とする、アクティブマトリクス液晶表示装置。

【請求項29】前記オーミック接触層上に保持容量部の保持電極が加えて構成され、又、該保持電極上に前記画素電極が重疊され構成されることを特徴とする、請求項

28記載のアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ(以下では「TFT」と称する)を含むアクティブマトリクス液晶表示装置(以下では「AMLCD」と称する)の製造方法及びその製造方法によって製造されるアクティブマトリクス液晶表示装置の構造に関する。

【0002】

10 【従来の技術】図1及び図2に示すように、一般にアクティブマトリクス方式の液晶表示装置はマトリクス状に複数の画素電極4が配置された基板(以下では「第1基板」と称する)3から構成される。前記第1基板3に形成された各画素電極4は、隣接する二つのゲートバス配線17と隣接する二つのソースバス電極15が交差して形成する部分に配置される。前記ゲートバス配線17は横方向に形成され、前記ゲートバス配線から分岐したゲート電極7が縦方向に複数個が形成されている。一方、前記ソースバス配線15は縦方向に形成され、そのソースバス配線から分岐したソース電極5が水平方向に複数個が形成されている。前記のソース電極5とゲート電極7とが交差する部分にTFTが形成され、前記のTFTは、画素電極と電気的に接触されるように形成されている。第1基板のTFT及び画素電極の上には液晶を所定の方向に配列させる配向膜(図示されない)が形成されている。また、アクティブマトリクス液晶表示装置は、カラーフィルタ層(図示されない)、共通電極(図示されない)及び配向膜(図示されない)とが形成された基板(以下では「第2基板」と称する)2を有している。

20 前記第1基板3と第2基板2を一定な間隔を持たせて張り合わせ、その空間に液晶が封入されている。第1基板3と第2基板2の外部には各々の偏光板1A、1Bが配置されている。

【0003】前記各々の構成要素の中、本発明の目的と関連がある第1基板の製造方法を図3及び図8を引用して詳しく説明する。図3から分かるように、透明ガラス基板10の上にCrを被着し、該Cr金属膜の上にフォトレジスト(図示されない)を塗布した後、マスクを使用し、所定のパターンになるように前記フォトレジストを露光して現像する。前記現像されたパターンに従ってCr金属膜をエッチングしてゲートバス配線17とゲートバス配線17から分岐するゲート電極7とを形成する(図3)。続いて、ゲート絶縁層9になるSiNx層と、半導体層11になる非晶質シリコン(以下では「a-Si」と称する)層と、オーミック接触層12になるn+形a-Si層を前記パターン化されたCr層を含む前記基板の上に連続的に被着する(図4)。続いてn+形a-Si層の上にフォトレジストを塗布し(図示しない)、マスクを使用して前記フォトレジストを所定のパターンになるように露光して現像する。前記現像されたパターンに従ってn+形a-Si層とa-Si層を

同時にエッチングしてオーミック接触層12と半導体層11とを形成する(図5)。続いて前記ゲート絶縁層9、前記オーミック接触層12及び前記半導体層11を覆うように全面の基板にCrをスパッタリング法で被着する。前記Cr層上にフォトレジストを塗布し、所定のパターンになるようマスクを使用して露光して現像する。前記フォトレジストの現像されたパターンに従ってCr金属膜をエッチングして信号線として機能するソースバス配線15と前記ソースバス配線15から分岐するソース電極5、及びTFTの出力端子として機能するドレイン電極6を形成する。前記エッチングにより形成されたソース電極5及びドレイン電極6をエッチングマスクとしてオーミック接触層12が両側に分けられるようにオーミック接触層の中央部分をエッチングする(図6)。

【0004】続いて、前記ゲート絶縁層9、前記ソースバス配線15、前記ソース電極5、前記ドレイン電極6、前記オーミック接触層12及び前記半導体層11を覆うように保護層13を全面に被着する。該保護層13の上にフォトレジストを塗布し(図示しない)、マスクを使用してフォトレジストを所定のパターンになるように露光して現像する。該現像されたパターンに従って保護層13をエッチングしてドレイン電極部上の保護層13にコンタクトホール16を形成する(図7)。続いて、その保護層13と前記ドレイン電極の6(コンタクトホール)の上にITO(Indium Tin Oxide)層をスパッタリング法で全面に被着する。該ITO膜の上にフォトレジストを塗布し(図示しない)、マスクを使用して前記のフォトレジストが所定のパターンになるように露光して現像する。前記現像されたフォトレジストのパターンに従ってITO膜をエッチングして画素電極4を形成する(図8)。前記のような従来のAMLCDの製造方法は、画素電極4を含む第1基板を形成するために5回のパターニング工程が行われた。前記パターニング工程は、基板上に膜を被着し、被着表面の洗浄の段階、洗浄された被着表面にフォトレジストの被着の段階、マスクを使用して前記フォトレジストを露光し現像する段階、該現像されたパターンによって被着膜をエッチングする段階及び被着膜のパターンの上に残っているフォトレジストを剥離する段階などで構成されている。

#### 【0005】

【発明が解決しようとする課題】前記のようにパターニング工程は、非常に複雑だし、長時間がかかり、又他の工程に比べて不良がたくさん生じる傾向がある。従って、欠陥はパターニング工程の回数に比例して増大するので、可能であれば、前記パターニング工程の回数を減らすことが望ましい。又、図8のように前記完成されたTFT部分に段差が生じ、該段差は、以後のラビング工程で欠陥を発生させる。

#### 【0006】

【課題を解決するための手段】本発明は、最小のパター

ニング段階を有するアクティブマトリクス液晶表示装置を製作するための方法を提供することを目的とする。

又、本発明は、ラビング不良が減少したアクティブマトリクス液晶表示装置パネルを提供することを目的とする。

【0007】本発明の目的により、アクティブマトリクス液晶表示装置の製造方法は、基板上にゲートバス配線とゲート電極を形成し、前記ゲートバス配線、前記ゲート電極及び前記基板を覆う表面にゲート絶縁層を形成し、前記ゲート絶縁層上に半導体層を形成し、前記半導体層上にオーミック接触層を形成し、前記オーミック接触層上にソースバス配線、ソース電極及びドレイン電極を形成し、前記ソース電極及び前記ドレイン電極をエッチングマスクとして前記オーミック接触層をエッチングし、前記ソースバス配線、前記ドレイン電極、前記半導体層及び前記ゲート絶縁層を覆うように表面に第1保護層を形成し、前記基板上に第2保護層を形成し、前記ドレイン電極を露出させるコンタクトホールを形成するために前記第1、第2保護層を選択的に除去し、そして、前記コンタクトホールを通して前記ドレイン電極と接触する画素電極を形成する段階から構成される。

【0008】又、本発明の目的により、アクティブマトリクス液晶表示装置は、基板と、前記基板上に形成されたゲートバス配線及びゲート電極と、前記基板、前記ゲートバス配線及び前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層と、前記半導体層上に形成されたオーミック接触層と、前記オーミック接触層上に形成されたソースバス配線、ソース電極及びドレイン電極と、前記半導体層、前記ソースバス配線、前記ソース電極及び前記ドレイン電極を覆う第1保護層と、前記第1保護層と前記基板を覆う第2保護層、前記第1、第2保護層は、前記ドレイン電極を露出させるために形成されたコンタクトホールを有し、そして、少なくともドレイン電極上に形成された画素電極から構成される。

#### 【0009】

【発明の実施の形態】以下に実施例1、2によって本発明のアクティブマトリクス液晶表示装置の製造方法を詳しく説明する。

【実施例1】図10から図18により、実施例1について説明する。まず、透明ガラス基板110の上に、第1金属膜であるCr金属膜などを被着する。前記の第1金属膜の上にフォトレジスト(図示されない)を塗布し、マスクを使ってフォトレジストを所定のパターンになるように露光して現像する。前記フォトレジストの現像されたパターンに従って第1金属膜をウェットエッチング(wet etching)などのエッチング法でエッチングしてゲートバス配線117と、ゲートバス配線117から分岐するゲート電極107を形成する(図10)。続いて、ゲート絶縁層109になるSiNx膜、半導体層111になるa-Si膜とオーミック

ク接触層112になるn+形のa-Si膜及び第2金属層140のCr膜とを連続的に被着する(図11)。続いて前記の第2金属層140の上にフォトレジスト(図示されない)を塗布し、マスクを使用してフォトレジストを所定のパターンに成るよう露光して現像する。前記フォトレジストの現像されたパターンに従って、この第2金属層140をウエットエッチングなどの方法でエッチングして、信号線として機能するソースバス配線115、前記のソース配線115から分岐するソース電極105、出力端子として機能するドレイン電極106及び保持容量電極130を形成する。前記の保持容量電極130はゲートバス配線117と一部分が重畠されるように形成する(図12)。続いてソース配線115、ソース電極105、ドレイン電極106及び保持容量電極130をエッチングマスクとして、n+形a-Si層をエッチングして、オーミック接触層112を形成する(図13)。

【0010】続いて前記半導体層111、前記オーミック接触層112のエッジ部、前記ソースバス配線115、前記ソース電極105、前記ドレイン電極106及び前記保持容量電極130を覆うように前記基板に第1保護層113aになるSiNx及びSiO2のような無機絶縁物質などを被着する(図14)。第1保護層113aの上にフォトレジスト(図示されない)を塗布し、保持容量電極130、ドレイン電極106、a-Si膜の一部分、ソースバス配線115及びソース電極105を覆うようにマスクを使用して露光した後に現像する。前記フォトレジストの現像されたパターンに従って第1保護層113a、a-Si膜111及びSiNx膜109を同時にドライエッチング法でエッチングして、半導体層111及びゲート絶縁層109を形成する(図15)。前記工程の後、前記基板110、前記ゲート絶縁層のエッジ部、前記半導体層111のエッジ部及び前記第1保護層113aを覆うように全基板にフッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)のような有機物質を被着して第2保護層113bを形成する(図16)。

【0011】上述したように、前記第2保護層113bが、フッ素添加ポリイミド(fluorinated polyimide)、フッ素添加パリレン(fluorinated parylene)、テフロン(teflon)、Cytop、フルオロポリアリールエーテル(fluoropolyarylether)、Perfluorocyclobutane(PFCB)、又は、Benzocyclobutane(BCB)のような有機物質から形成される場合、ソースバス配線などのように段差がある部分に被着された有機物質の表面は、段差がなくなる。従って、前記第2有機保護層の上に形成される画素電極も平坦に形成することができ、段差を有する部分でラビング不良の発生を減らすことができる。従って、画素電極をソースバス配線などに重ねて構成しても、ソースバス配線の段差部分でラビング不良が起こらない。そのために、液晶

表示装置の高い開口率の実現が可能である。続いて前記の第2保護層113bの上にフォトレジスト(図示されない)を塗布し、マスクを用いて前記フォトレジストを所定のパターンになるように露光した後に現像する。前記フォトレジストの現像されたパターンに従って第2保護層113bと第1保護層113aをエッチングしてドレイン電極106及び保持容量電極130を露出させるコンタクトホール116及び116'を形成する(図17)。続いて透明導電膜であるITO膜をスパッタリング法で前記第2保護層113b、前記第1保護層113a、前記ドレイン電極106及び前記保持容量電極130を含む全面に被着する。該ITO層にフォトレジスト(図示されない)を塗布し、マスクを使用してフォトレジストを所定のパターンになるように露光して現像する。前記フォトレジストの現像されたパターンに従ってITO膜をエッチングして前記保持容量電極130の一部と前記ドレイン電極106の一部と電気的に接触される画素電極104を形成する(図18)。

【0012】【実施例2】実施例2の製造工程は、実施例1の図10-図14までの製造工程は同じであるから、これについての説明は省略する。前記の図14の工程の状態で前記第1保護層113aの上にフォトレジスト(図示されない)を塗布し、マスクを使用してこのフォトレジストを所定のパターンになるように露光して現像する。前記現像されたパターンに従って第1保護層113aをエッチングして前記ドレイン電極106と前記保持容量電極130の一部にコンタクトホール116を形成する(図19)。続いて透明導電膜であるITO層を前記基板110、前記ゲート絶縁層109のエッジ部、前記半導体層111のエッジ部、前記オーミック接触層112のエッジ部、前記保護層113及び前記ドレイン電極106を覆うように全面に被着する。該ITO膜の上にフォトレジスト(図示されない)を塗布し、マスクを使用してこのフォトレジストを所定のパターンになるように露光して現像する。前記現像されたパターンに従ってITO膜をエッチングして前記保持容量電極120の一部及び前記ドレイン電極106の一部と電気的に接触される画素電極104を形成する(図20)。

### 【0013】

【発明の効果】本発明の実施例1、2によって、例えば従来の技術の図3-図8に行われた5回のパターンング段階を本発明の実施例2により4回のパターンング段階に減らすことができた。従って、本発明は、パターンングプロセスで発生する欠陥を減らすことが可能であり、又、製造歩留まりを向上させる効果がある。

#### 【図面の簡単な説明】

【図1】従来のアクティブマトリクス液晶表示装置の一部の構造を示す立体図。

【図2】従来のアクティブマトリクス液晶表示装置の一部を示す平面図。

【図3】従来のアクティブマトリクス液晶表示装置の製

11

造工程を説明するための断面図であり、図2のⅢ-Ⅲ線に沿った断面図。

【図4】従来のアクティブマトリクス液晶表示装置の製造工程を説明するための断面図であり、図2のⅢ-Ⅲ線に沿った断面図。

【図5】従来のアクティブマトリクス液晶表示装置の製造工程を説明するための断面図であり、図2のⅢ-Ⅲ線に沿った断面図。

【図6】従来のアクティブマトリクス液晶表示装置の製造工程を説明するための断面図であり、図2のⅢ-Ⅲ線に沿った断面図。

【図7】従来のアクティブマトリクス液晶表示装置の製造工程を説明するための断面図であり、図2のⅢ-Ⅲ線に沿った断面図。

【図8】従来のアクティブマトリクス液晶表示装置の製造工程を説明するための断面図であり、図2のⅢ-Ⅲ線に沿った断面図。

【図9】本発明のアクティブマトリクス液晶表示装置の一部を示す平面図。

【図10】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図11】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図12】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図13】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図14】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図15】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であ

12

り、図9のV-V線に沿った断面図。

【図16】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図17】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

【図18】実施例1を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のV-V線に沿った断面図。

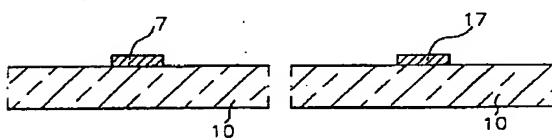
【図19】実施例2を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のVI-VI線に沿った断面図。

【図20】実施例2を説明するための本発明のアクティブマトリクス液晶表示装置の製造工程を示す断面図であり、図9のVI-VI線に沿った断面図。

#### 【符号の説明】

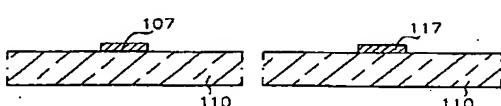
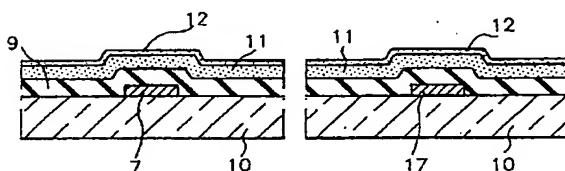
1	偏光板
2	第2基板
20 3	第1基板
4、104	画素電極
5、105	ソース電極
6、106	ドレイン電極
7、107	ゲート電極
9、109	ゲート絶縁層
10、110	透明ガラス基板
11、111	半導体層
12、112	オーミック接触層
13、113	保護層
30 13a、113a	第1保護層
13b、113b	第2保護層
15、115	ソースバス配線
17、117	ゲートバス配線
30、130	保持容量電極
40、140	第2金属層

【図3】

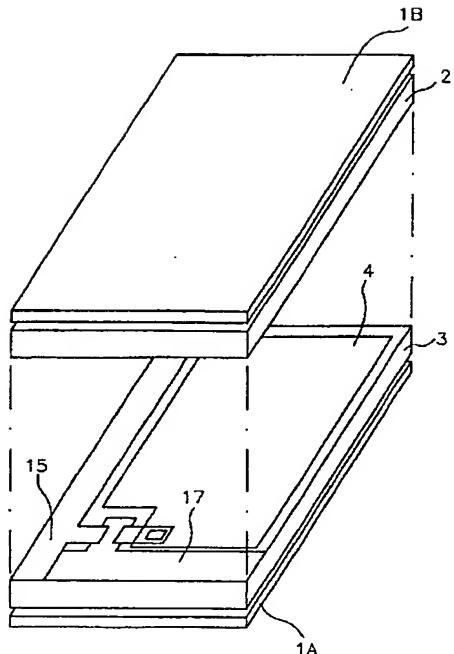


【図10】

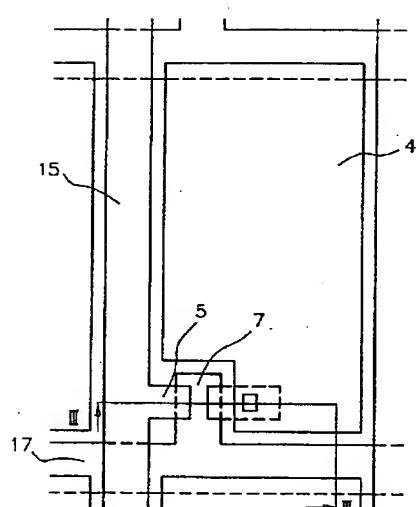
【図4】



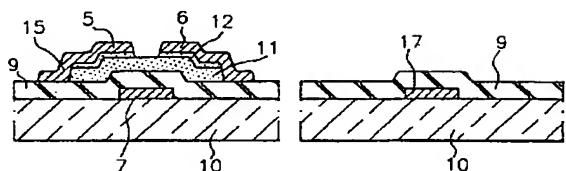
【図1】



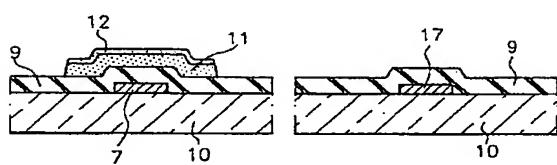
【図2】



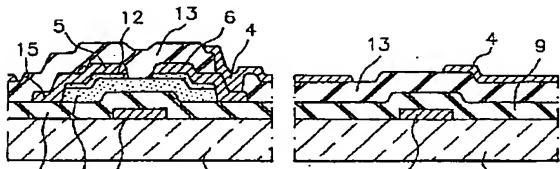
【図6】



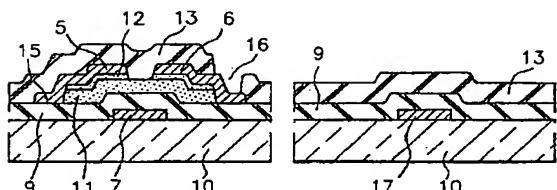
【図5】



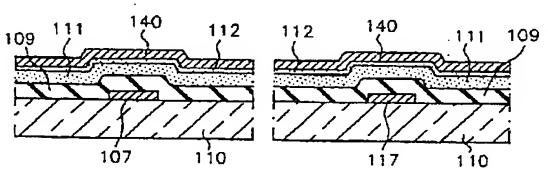
【図8】



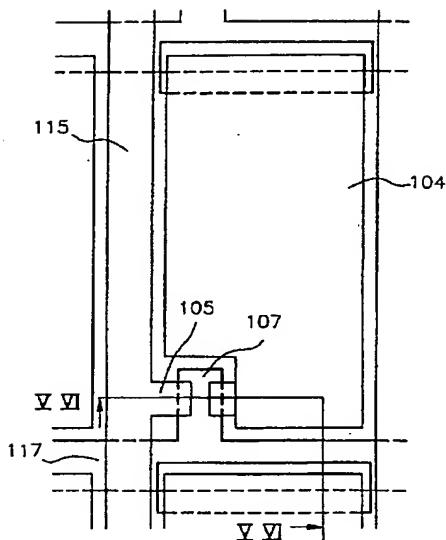
【図7】



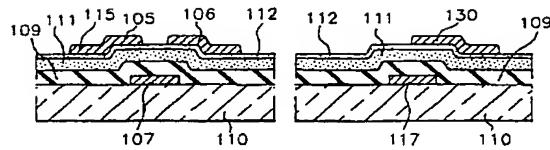
【図11】



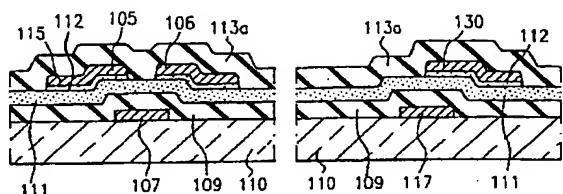
【図 9】



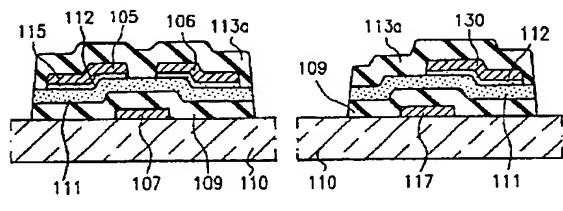
【図 12】



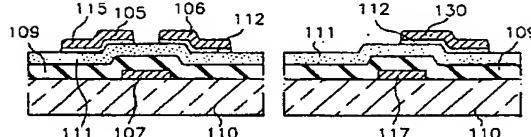
【図 14】



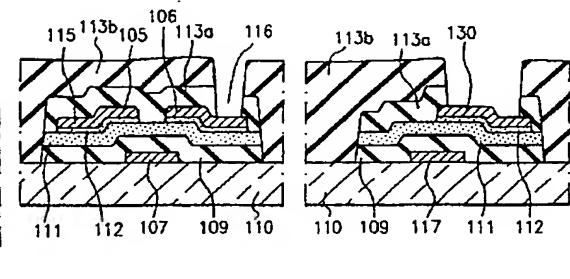
【図 15】



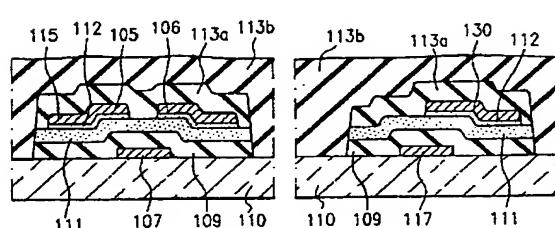
【図 13】



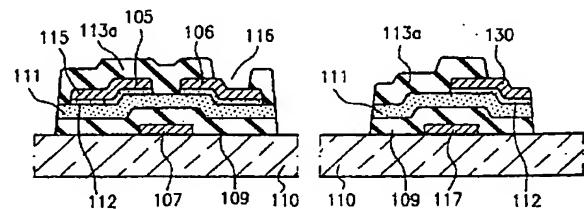
【図 17】



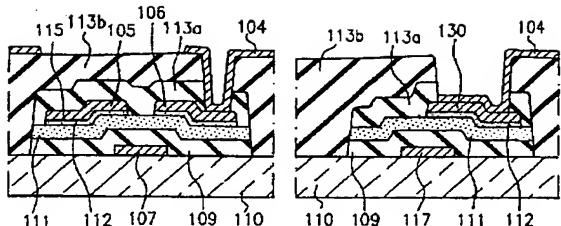
【図 16】



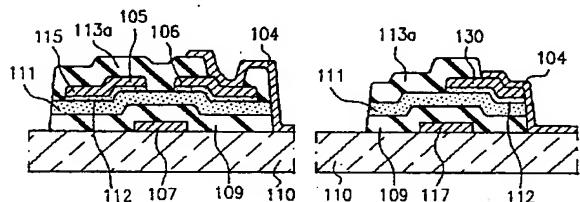
【図 19】



【図18】



【図20】



フロントページの続き

(72)発明者 韓 敦旭  
大韓民国京機道安養市東安区虎溪洞533番  
地 エルジー電子株式会社第1研究団地L  
CD研究所内

(72)発明者 キム、ジョン ヒュン  
大韓民国京機道安養市東安区虎溪洞533番  
地 エルジー電子株式会社第1研究団地L  
CD研究所内

(72)発明者 アン、ビュン チュル  
大韓民国京機道安養市東安区虎溪洞533番  
地 エルジー電子株式会社第1研究団地L  
CD研究所内